

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-048001

(43)Date of publication of application : 26.02.1993

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 03-206656

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.08.1991

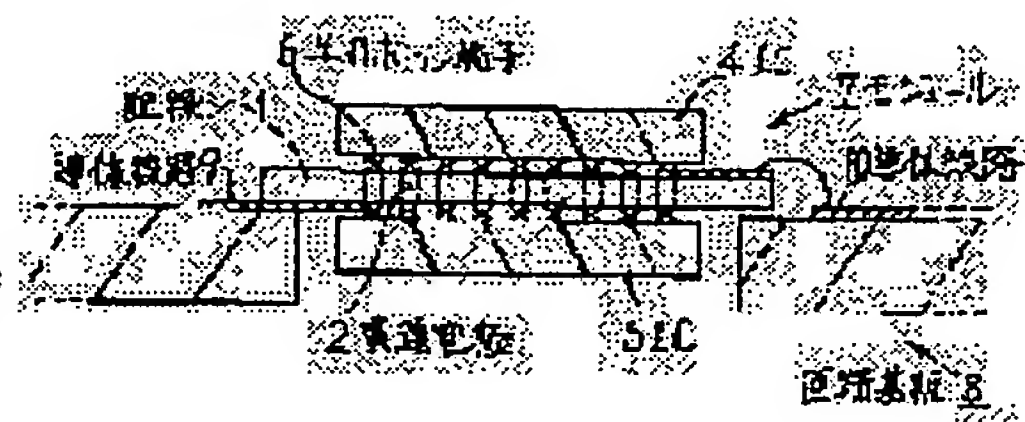
(72)Inventor : OKAMURA SHIGERU
HISATSUGU NORISHIGE

(54) MOUNTING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To reduce a signal propagation delay time by so mounting an IC vertically through a wiring sheet provided with many penetrating electrodes as to match a pitch of electrode terminals of the IC.

CONSTITUTION: A wiring sheet 1 is made of heat resistant organic compound such as polyimide, heat resistant inorganic compound such as arsenic nitride, silicon carbide, etc., and an insulating thin film having 10-500 μ m of a thickness. Holes each of 10-50 μ m in diameter are opened at a pitch equal to that of electrode terminals of an IC chip, and penetrating electrodes 2 are formed by buried growth by a metal plating method of gold, nickel, copper, etc. The sheet 1 is used, ICs are vertically opposed, and mounted to form a module, and it is mounted with the module as a constitution unit. Thus, a signal propagation delay time can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-48001

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 25/065				
25/07				
25/18				
		7220-4M	H 0 1 L 25/ 08	Z

審査請求 未請求 請求項の数5(全 4 頁)

(21)出願番号	特願平3-206656	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成3年(1991)8月19日	(72)発明者	岡村 茂 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	久継 徳重 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 井桁 貞一

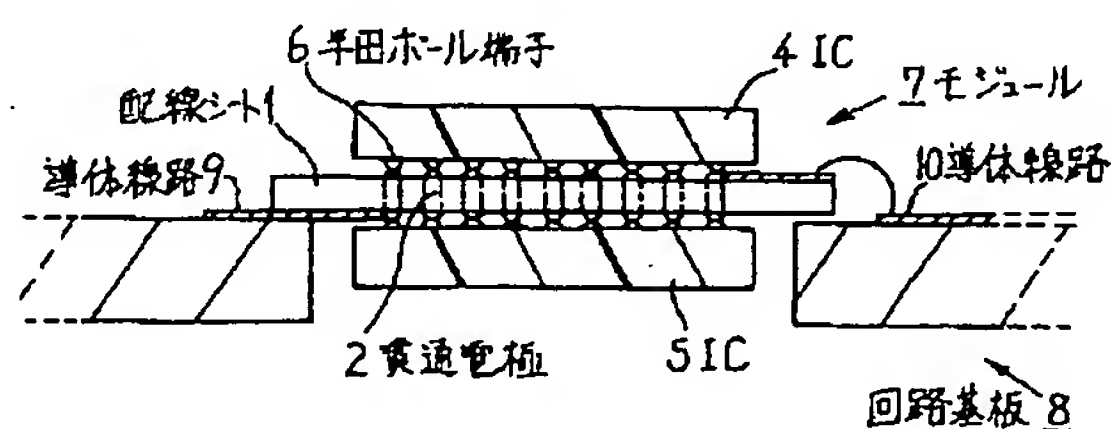
(54)【発明の名称】 半導体集積回路の実装方法

(57)【要約】

【目的】 半導体ICの実装方法に関し、ICチップ間の配線距離を可能な限り縮小することを目的とする。

【構成】 ICチップの電極端子ピッチに等しいピッチで複数の貫通電極が形成されており、また、必要とする貫通電極と接続する外部接続電極を備えて形成されている配線シートの表裏面にICチップを向い合せて装着してモジュールを作り、このモジュールを構成単位として配線基板に装着することを特徴として半導体集積回路の実装方法を構成する。

本発明の原理図



【特許請求の範囲】

【請求項1】 ICチップの電極端子ピッチに等しいピッチで複数の貫通電極が形成されており、また必要とする貫通電極と接続する外部接続電極を備えて形成されている配線シートの表裏面にICチップを向い合せて装着してモジュールを作り、該モジュールを構成単位として配線基板に装着することを特徴とする半導体集積回路の実装方法。

【請求項2】 前記モジュールの配線基板への装着が配線シートに設けた外部接続電極と配線基板の導体線路との直接接合によるか、或いはワイヤボンディングにより行うことを特徴とする請求項1記載の半導体集積回路の実装方法。

【請求項3】 前記モジュールが主ICチップの上に前記配線シートを介して副ICチップが向い合せて装着されており、前記主ICチップが配線基板に装着されていることを特徴とする請求項1記載の半導体集積回路の実装方法。

【請求項4】 前記配線シートに形成されている貫通電極の中の複数個が相互に回路接続されて構成されていることを特徴とする請求項1記載の半導体集積回路の実装方法。

【請求項5】 前記モジュールの配線基板への装着がICチップの電極端子を装着した貫通電極と配線基板装着位置にある貫通電極とを導体線路で接続し、前記配線基板装着位置にある貫通電極を用いて行うことを特徴とする請求項1記載の半導体集積回路の実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はICチップ相互間の配線接続距離を短縮した半導体集積回路の実装方法に関する。

【0002】高性能の電子装置を実現するには集積回路(IC)の集積度の向上と高性能化が最も必要であるが、IC相互間の配線距離を短くして信号の伝播遅延時間を少なくすることも重要である。

【0003】

【従来の技術】配線基板へのICの装着法としてハーメチックシールしたセラミックパッケージまたは樹脂モールドパッケージを用い、プリント配線基板に装着して用いられている。

【0004】然し、装置の小形化と信号の高速化を特に必要とする用途に対してはセラミックスよりなる配線基板上にチップの形で複数個搭載し、これを取替え単位として実装することも行われている。

【0005】このようにすることによってICチップ間の距離が短縮し、装置の小形化に成功している。然し、信号の高速化を達成するには更にICチップ間の距離を短くして信号の伝播遅延時間を短縮する必要がある。

【0006】

【発明が解決しようとする課題】大量の情報を高速に処理するため情報処理装置はこの装置の主体を構成する半導体装置の集積度の向上が行われており、LSIやVLSIが実用化されているが、これと共にこれらIC間の配線距離を短縮して信号の遅延をできる限り少なくすることが必要である。

【0007】そこで、この実装法の開発が課題である。

【0008】

【課題を解決するための手段】上記の課題はICチップの電極端子ピッチに等しいピッチで複数の貫通電極が形成されており、また必要とする貫通電極と接続する外部接続電極を備えて形成されている配線シートの表裏面にICチップを向い合せて装着してモジュールを作り、このモジュールを構成単位として配線基板に装着することを特徴として半導体集積回路の実装方法を構成することにより解決することができる。

【0009】

【作用】本発明はICチップの電極端子ピッチと等しいピッチで多数の貫通電極が形成されており、また必要とする貫通電極と接続する導体線路を備えて形成されている配線シートを用い、フリップチップタイプのICを向かい合わせに装着するものである。

【0010】図2は配線シート1の斜視図(A)と断面図(B)を示している。こゝで、配線シート1はポリイミドのような耐熱性有機化合物または窒化硅素(Si₃N₄)や炭化硅素(SiC)など耐熱性無機化合物よりなり、厚さが10~500μmの絶縁薄膜で、これにICチップの電極端子ピッチと等しいピッチで直径が10~50μmの孔が開いており、これに金(Au)、ニッケル(Ni)、銅(Cu)などの金属がメッキ法などにより埋め込み成長して貫通電極2が形成されている。

【0011】こゝで、このような微細孔の形成と金属の成長は例えばX線リソグラフィ(蝕刻技術)とメッキ技術を使用するLIGA(Lithography and Galvano-forming)プロセスにより作ることができる。

【0012】また、貫通電極2と連絡する外部接続電極3は真空蒸着法やスパッタ法などの薄膜形成技術と写真蝕刻技術(フォトリソグラフィ)により形成することができる。

【0013】本発明はかかる配線シート1を使用し、ICを上下より向かい合わせて装着してモジュールを作り、これを構成単位として実装を行うものである。図1は本発明の原理図であって、配線シート1に設けてある貫通電極2の突起部にフリップチップタイプIC4、5の半田ボール端子6を加熱融着してモジュール7を作り、このモジュール7を回路基板8の上に形成されている導体線路(例えばパンプ)9に当接して融着するか、あるいは導体線路(例えばパッド)10とワイヤボンディング接続を行うものである。

【0014】なお、図1は配線シート1の上下に一個づ

つ同種のICを装着した場合であるが、複数個を装着してもよく、また、配線シートに設けてある貫通電極の配線を変えて異種のICを装着してもよい。

【0015】また、ICの上にこの配線シートを置き、ROMや論理回路などの副ICを搭載し、このICを従来のように実装することもできる。このように本発明は配線シートを用いて半導体モジュールを作り、これを用いて実装を行うもので、従来に比べ導体線路の長さを格段に短くできるために信号伝播遅延時間を減少することができる。

【0016】

【実施例】実施例1：（主ICの上に副ICを搭載して複合ICを形成した例）

図3は主IC12の上に配線シート13を介して副IC14を装着して複合IC15を作り、これをセラミックパッケージ16に装着した状態を示す断面図である。ここで、副IC14は例えばROMや論理回路などであり、今まで、特定目的のIC（ASIC）については目的に合わせて集積回路全体を設計し、製作していたが、この実施例は基本回路を製作しておき、これに目的に合った集積回路を

【0017】また、副IC14の代わりに薄膜ICやハイブリッドICなど他の機能部品や回路を搭載することも可能である。

実施例2：（配線シートを用いて複雑な回路構成を行う例）

図4は配線シートの貫通電極間を用途により複雑に回路接続した例であり、同図（A）は側面図、また同図（B）は平面図を示している。

【0018】すなわち、配線シート17には多数の貫通電極18が設けられているが、その総てがIC19,20と接続している訳ではなく、遊び電極を設けると共に、配線シート17の上で貫通電極間の回路接続を行うものである。

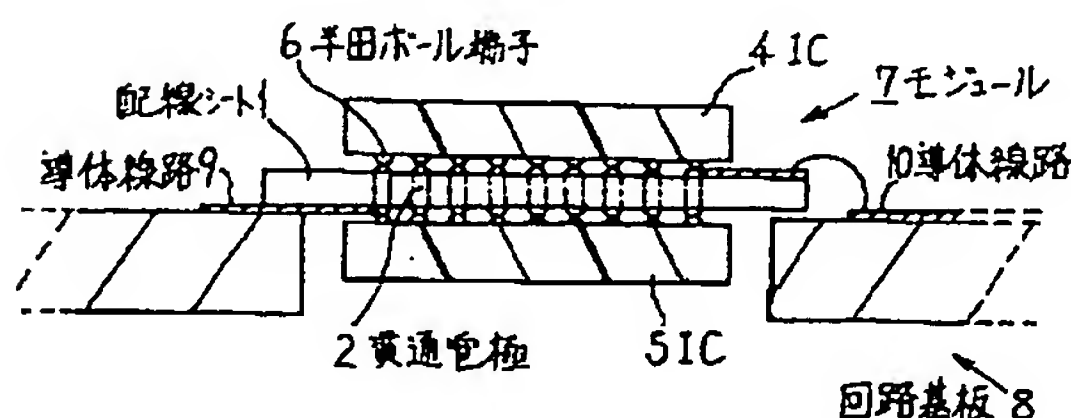
【0019】このような方法をとることにより複雑な回路構成が可能となる。

実施例3：（三次元構成例）

図5はLIGAプロセスを用いて形成した配線シートを*

【図1】

本発明の原理図



* 組合せて断面がコの字形の配線シート21を作り、この配線シート21の上下にIC22,23を装着した後、この配線シート21を従来構造をした配線シート24に装着することによりICの三次元構成とする例である。

実施例4：（配線シートの貫通電極を用いて回路接続を行う例）

図6は配線シートの貫通電極を用いて回路接続を行う例であって、ICを上下に装着した配線シート26を配線基板（例えばセラミックパッケージの基板）27の導体線路28に回路接続する場合に、導体線路28に対応する位置にある貫通電極29にまで導体線路30をパターン形成しておくもので、この貫通電極29を用いて配線基板27の導体線路28と回路接続を行うものである。

【0020】

【発明の効果】以上のように本発明はICの電極端子ピッチに合わせて多数の貫通電極を設けてある配線シートを介して上下にICの装着を行うもので、本発明の使用により導体線路長を格段に減少することができ、これにより信号の伝播遅延時間を減少することができる。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】配線シートの構成を示す斜視図と断面図である。

【図3】主ICの上に副ICを装着した複合ICの実装例である。

【図4】配線シートを用いて複雑な回路構成を行う例である。

【図5】ICの三次元構成例である。

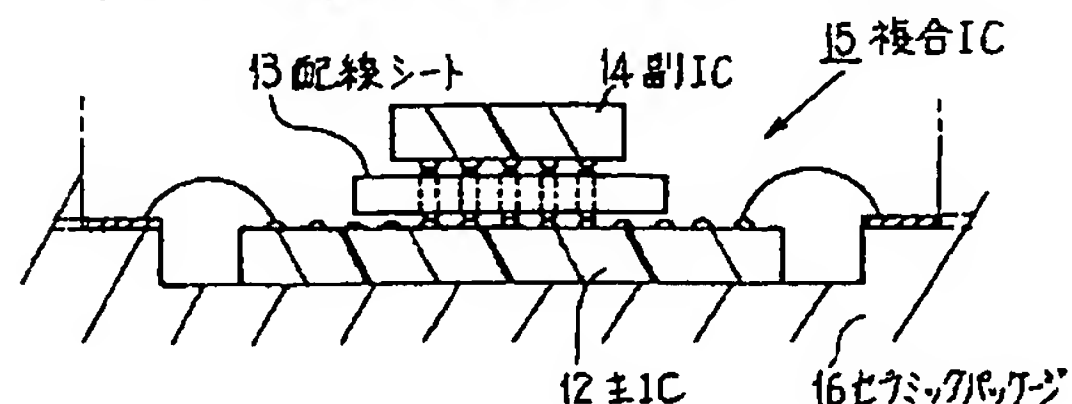
【図6】配線シートの貫通電極を用いて回路接続を行う例である。

【符号の説明】

- | | |
|-----------------------|--------|
| 1, 13, 17, 21, 24, 26 | 配線シート |
| 2, 18, 29 | 貫通電極 |
| 3 | 外部接続電極 |
| 4, 5, 19, 20, 22, 23 | IC |
| 7 | モジュール |
| 9, 10, 28, 30 | 導体線路 |

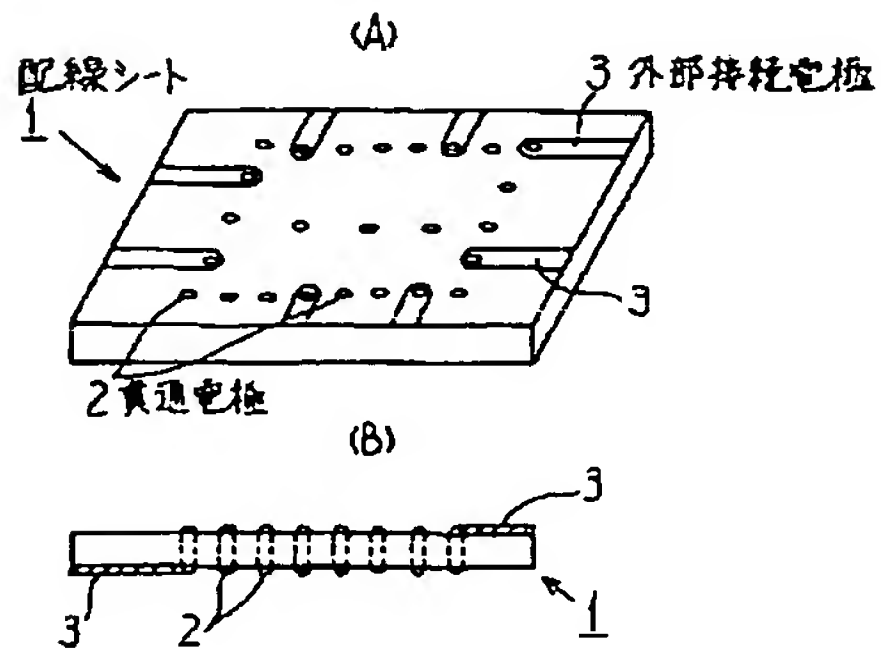
【図3】

主ICの上に副ICを装着した複合ICの実装例



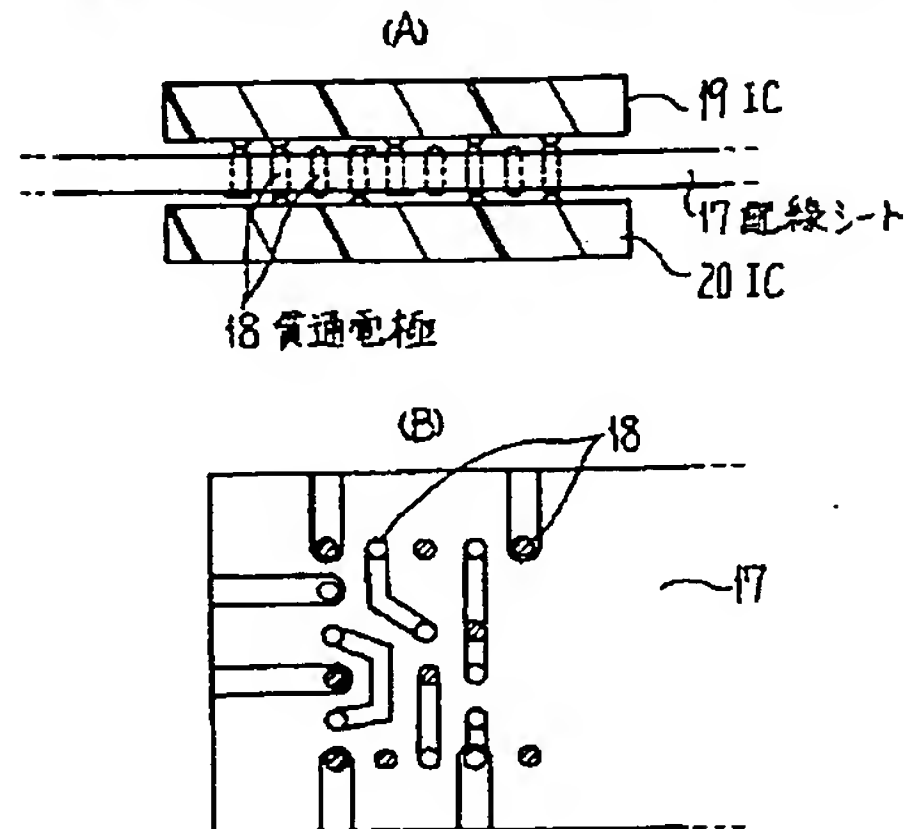
【図2】

配線シートの構成を示す斜視図と断面図



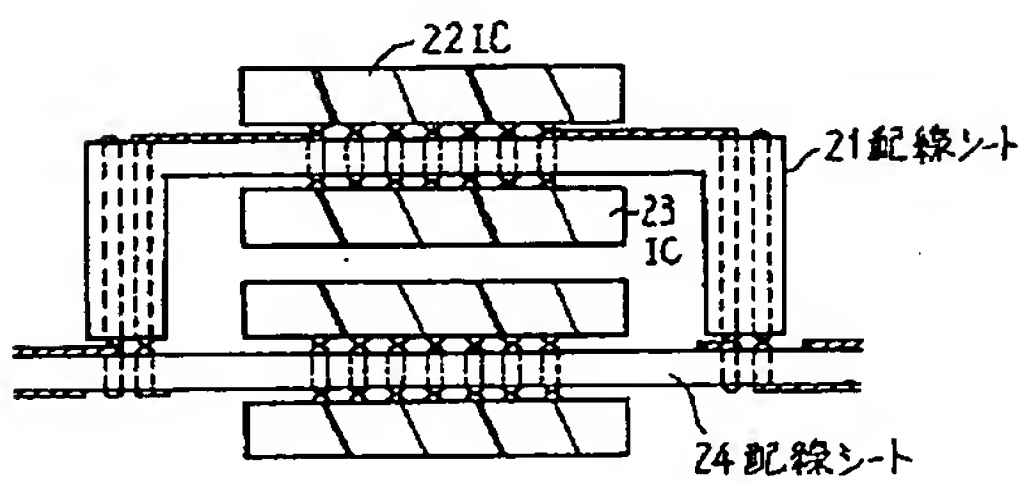
【図4】

配線シートを用いて複雑な回路構成を行う例



【図5】

ICの三次元構成例



【図6】

配線シートの貫通電極を用いて回路接続を行う例

